

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-316431

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 29/786

(21)Application number : 07-122153

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.05.1995

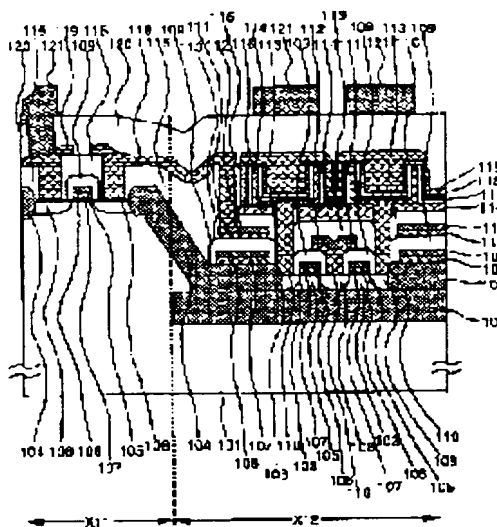
(72)Inventor : SHOJI KENICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To improve the withstand voltage of a transistor used in a peripheral circuit, by forming a second semiconductor region whose surface is higher than that of a first semiconductor region, in the region outside the first semiconductor region.

CONSTITUTION: An insulated gate field effect transistor in a peripheral circuit is independently formed on a P-type Si layer 101, so that a substrate bias can be applied by using the P-type Si layer 101, independently of transistors in a memory cell. Further by forming a heavily doped P-type impurity layer whose impurity concentration is, e.g. about 10^{17}cm^{-3} under the transistor in the peripheral circuit part, substrate resistance is reduced, and generation of latch-up also can be restrained. In this structure, the noise charge generated by a memory cell does not exert influence upon the peripheral circuit, and more stable operation of an LSI is enabled. A leak current is reduced by forming an oxide film 104 for element isolation on a P-type Si layer 103 and further forming an N-type impurity region 108.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316431

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		9276-4M	H 0 1 L 27/10	6 7 1 C
21/8242		9276-4M		6 2 1 C
29/786		9276-4M		6 8 1 F
		9276-4M		6 8 1 D
		9276-4M		6 9 1
審査請求 未請求 請求項の数11 O L (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平7-122153

(22) 出願日 平成7年(1995)5月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 庄司 健一

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

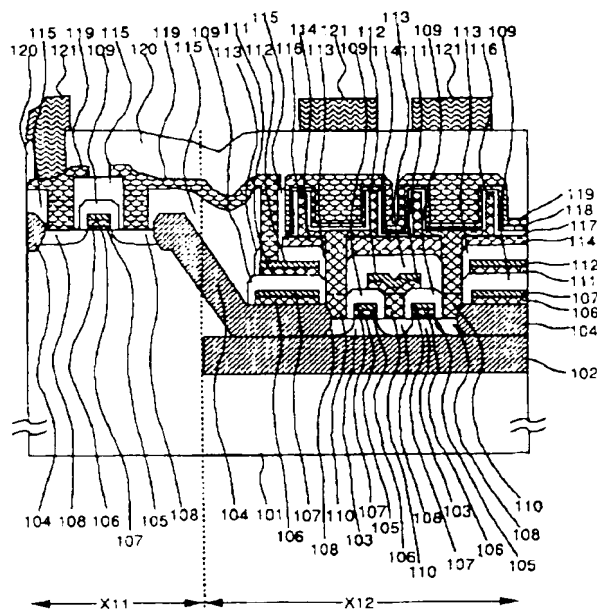
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【構成】 薄膜SOI領域内に形成した積層容量型メモリセルと薄膜SOI領域外で、且つ基板表面が薄膜SOI表面より高い位置に周辺回路を有し、且つ周辺回路部のトランジスタ下に高濃度低抵抗不純物領域を形成した周辺回路からなる半導体記憶装置。

【効果】 周辺回路との標高差を低減し、さらに低消費電力化に有利な薄膜SOI構造を有するメモリセルと、耐圧の良好なトランジスタを有し、且つラッチアップに対し強い周辺回路を有する高性能、且つ高信頼度な半導体装置を実現することが可能となる。

図1



【特許請求の範囲】

【請求項1】半導体基板上に、絶縁膜を介して設けられた薄膜半導体の第一の半導体領域を有し、上記第一の半導体領域外の領域内に、上記絶縁膜を介さずに設けられ、その表面が上記第一の半導体領域の表面より高い第二の半導体領域を有することを特徴とする半導体装置。

【請求項2】上記第一の半導体領域にメモリセルを有し、上記第二の半導体領域にメモリセルの制御回路を有する請求項1に記載の半導体装置。

【請求項3】上記第一の半導体領域の形成されたメモリセルと、上記メモリセルとはビット線コンタクトを共有しないメモリセルとの間が、絶縁膜で電気的に分離されている請求項2に記載の半導体装置の製造方法。

【請求項4】上記第二の半導体領域と半導体基板の間に酸化膜が存在する請求項1に記載の半導体装置。

【請求項5】上記第二の半導体領域で表面を除く領域に高濃度不純物領域を有する請求項4に記載の半導体装置。

【請求項6】上記第二の半導体領域の上記高濃度不純物領域の不純物濃度が $1.0 \times 10^{17} \text{cm}^{-3}$ 以上である請求項5に記載の半導体装置。

【請求項7】上記第一の半導体領域にメモリセルを有し、上記第二の半導体領域にメモリセルの制御回路を有する請求項4、5または6に記載の半導体装置。

【請求項8】上記第一の半導体領域の形成されたメモリセルと、上記メモリセルとはビット線コンタクトを共有しないメモリセルとの間が、絶縁膜で電気的に分離されている請求項4、5または6に記載の半導体装置の製造方法。

【請求項9】第一の半導体基板を選択的に酸化し、上記半導体基板表面を平坦に研磨し、第二の半導体基板を第一の半導体基板表面に貼り合わせ、上記第二の半導体基板を薄膜化することにより、上記第一の半導体領域のみ半導体基板上に、絶縁膜を介して薄膜半導体を形成する請求項1、2または3に記載の半導体装置の製造方法。

【請求項10】上記第一の半導体領域の表面に選択的に酸化膜を形成し、その後上記酸化膜を除去することにより、上記第二の半導体領域の表面を上記第一の半導体領域の表面に対し高位置に形成する請求項1、2、3、4、5、6、7または8に記載の半導体装置の製造方法。

【請求項11】上記第一の半導体領域の表面に酸化膜を形成後パターンニングし、上記酸化膜をマスクにしたSiの選択エピタキシャルにより、上記第二の半導体領域の表面を上記第一の半導体領域の表面に対し高位置に形成する請求項1、2、3、4、5、6、7または8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はDRAMのような高集積

半導体装置に関する。

【0002】

【従来の技術】通常、周辺回路はワード線を駆動するため電源電圧を高めに設定する必要があるが、従来の薄膜SOI構造DRAMでは、寄生バイポーラトランジスタ動作等により周辺回路の絶縁ゲート・トランジスタのソース・ドレイン間の耐圧が低くなり、耐圧不良が起こり、さらにラッチアップ等を起こしやすい。この耐圧低下に関しては、アイ・イー・ディー・エム（I E D M）91、667ページ等に表示されている。

【0003】また、半導体メモリの高集積化には、ビット線価低減によるスループット向上が必要であるため、微細化パターンを形成するには、一般には光学レンズを用いた縮小投影露光法が用いられている。しかし、集積度を向上するため光学レンズの解像度を増すと光の焦点深度が浅くなり、その結果、基板面が平坦でないで解像不良が生じる。薄膜SOI構造DRAM用メモリセルには、ビット線ワイドエラー対策等に積層キャパシタを用いるため、従来技術ではメモリセル部と周辺回路部には平均的な段差（標高差）が生じ、予め、半導体基板表面を平坦にする必要があった。この標高差を低減するには、通常、半導体基板で、表面の選択酸化とその酸化膜除去によりメモリセル部の表面をメモリセル部以外の表面より低位置に形成する半導体装置の製造方法が、特開平2-50476号公報に示されている。

【0004】

【発明が解決しようとする課題】上記従来例では、薄膜SOI構造・絶縁ゲート・トランジスタで、ソース・ドレイン間耐圧低下の問題が開示されている。したがって、薄膜SOI上に形成された周辺回路部のトランジスタでは、周辺回路の使用電圧が高いために耐圧不良が起こり、ラッチアップなどが起こりやすい。

【0005】また、他の従来例では、バルクSi基板上でのメモリセル部と周辺回路部間の標高差低減に関する方法が開示されている。薄膜SOI基板上では、選択酸化の膜厚に限界があるため、この方法では、平坦化された薄膜SOI構造メモリセルを形成することは不可能である。

【0006】

【課題を解決するための手段】メモリセル領域内のみ薄膜SOI構造とすることにより、周辺回路に用いるトランジスタの耐圧を向上する。

【0007】また、予め、厚膜のSOI基板を用いるか、あるいは、薄膜SOI基板上にSiを選択的にエピタキシャルする方法を用い、さらに厚膜部分に高濃度低抵抗不純物領域を形成することによって平坦化され、且つ高耐圧でラッチアップなどの起こりにくい薄膜SOI構造メモリを形成する。

【0008】

【作用】薄膜SOI構造を用いた超微細メモリセルを形

成することができるため、拡散層における接合リークが低減でき、DRAMのリフレッシュにおけるデータ保持特性を改善することが可能である。

【0009】メモリセルを薄膜S₁O₂中に形成して基板に対するノイズ電荷の注入を根絶し、さらにメモリセル段差を軽減しつつ周辺回路の基板抵抗を下げることによって周辺回路MOSFETの信頼性を向上し、且つラッチアップに対して強いメモリLSIをつくる。

【0010】

【実施例】

(実施例1) 図1に、本発明の半導体装置の断面構造を示す。この構造は、p型S₁層101の基板上に直接周辺回路を含む周辺回路部(X11領域)とp型S₁層101とS₁O₂層102が積層した基板上に形成した薄膜S₁O₂構造のメモリセル部(X12領域)との二つの領域で構成される。

【0011】周辺回路部は、p型S₁層101、素子分離用のS₁O₂104、S₁O₂のゲート絶縁層105、n型に導電化された多結晶シリコン106およびタンゲステンシリサイド107からなるポリサイド構造のゲート電極、p型S₁層中に形成された濃度が1.0×10¹⁷cm⁻³以上のn型不純物領域108、ゲート電極上および側壁に積層されたS₁O₂109、第一メタル配線層コンタクト・ホール用層間絶縁膜115、第一メタル配線層119、第二メタル配線層スルー・ホール用層間絶縁膜120、第二メタル配線層121より構成される。

【0012】また、メモリセル部は、p型S₁層103、素子分離用のS₁O₂104、S₁O₂のゲート絶縁層105、n型に導電化された多結晶シリコン106およびタンゲステンシリサイド107からなるポリサイド構造のゲート電極(メモリセルのワード線に相当)、p型S₁層中に形成されたn型不純物領域108、ワード線上および側壁に積層されたS₁O₂109、ビット線および蓄積電極コンタクト用多結晶シリコンのプラグ110、n型に導電化された多結晶シリコン111およびタンゲステンシリサイド112からなるポリサイド構造のビット線、ビット線上および側壁に積層されたS₁O₂113、蓄積電極コンタクト加工用窒化シリコン層114、n型に導電化された多結晶シリコンまたは置換プロセスによって形成したタンゲステンからなる蓄積電極コンタクトプラグおよび蓄積電極116、酸化窒化シリコン膜または五酸化タンタル(Ta₂O₅)からなる蓄積電極誘電体膜117、TiNまたはタンゲステンからなる蓄積電極プレート電極118、第一メタル配線層コンタクト・ホール用層間絶縁膜115、第一メタル配線層119、第二メタル配線層スルー・ホール用層間絶縁膜120、第二メタル配線層121より構成される。

【0013】本構造を用いることにより、周辺回路部の絶縁ゲート電界効果トランジスタは、単独にp型S₁層101上に形成されるため、メモリセル内(X12領

域)のトランジスタとは独立して、p型S₁層101を用いて基板バイアスを印加することができる。

【0014】さらに、周辺回路部のトランジスタ下に例えば1.0×10¹⁷cm⁻³程度の高濃度p型不純物層を形成することによって基板抵抗を減らしラッチアップの発生を抑制することも可能である。この構造は、メモリセルが発生したノイズ電荷が周辺回路に影響することなく、より安定したLSI動作が可能となる。

【0015】また、メモリセル部で80nmのp型S₁層103に厚さ160nmの素子分離用酸化膜104を形成し、さらに接合深さ80nmのn型不純物領域108を形成することによって、デバイス活性層の下が絶縁膜となるため、漏れ電流が減り、このような薄膜S₁O₂構造のメモリセルを用いれば、DRAMのデータ保持特性がバレルに対して改善され、リフレッシュに負担のかからない、低消費電力型のDRAMが実現できる。

【0016】また、図1に示すようにp型S₁層103の表面で周辺回路部とメモリセル部の標高差を制御することにより、第一配線層面で周辺回路とメモリセルの両領域で標高差が低減可能である。

【0017】(実施例2) 図2に本発明の他の実施例の半導体装置の断面構造を示す。この構造は、p型S₁層201とS₁O₂層202が積層した基板上に直接周辺回路を含む周辺回路部(X21領域)と薄膜S₁O₂構造のメモリセル部(X22領域)の二つの領域で形成される。

【0018】周辺回路部は、素子分離用のS₁O₂204、S₁O₂のゲート絶縁層205、n型に導電化された多結晶シリコン206およびタンゲステンシリサイド207からなるポリサイド構造のゲート電極、p型S₁層中に形成された濃度が1.0×10¹⁷cm⁻³以上のn型不純物領域208、ゲート電極上および側壁に積層されたS₁O₂209、第一メタル配線層コンタクト・ホール用層間絶縁膜215、第一メタル配線層219、第二メタル配線層スルー・ホール用層間絶縁膜220、第二メタル配線層221より構成される。

【0019】また、メモリセル部は、p型S₁層203、素子分離用のS₁O₂204、S₁O₂のゲート絶縁層205、n型に導電化された多結晶シリコン206およびタンゲステンシリサイド207からなるポリサイド構造のゲート電極(メモリセルのワード線に相当)、p型S₁層中に形成されたn型不純物領域208、ワード線上および側壁に積層されたS₁O₂209、ビット線および蓄積電極コンタクト用多結晶シリコンのプラグ210、n型に導電化された多結晶シリコン211およびタンゲステンシリサイド212からなるポリサイド構造のビット線、ビット線上および側壁に積層されたS₁O₂213、蓄積電極コンタクト加工用窒化シリコン層214、n型に導電化された多結晶シリコンまたは置換プロセスによって形成したタンゲステンからなる蓄積電

極コンタクトプラグおよび蓄積電極216、酸化窒化シリコン膜または五酸化タンタル(Ta_2O_5)からなる蓄積容量誘電体膜217、TiNまたはタンゲステンからなる蓄積容量プレート電極218、第一メタル配線層コンタクト・ホール用層間絶縁膜215、第一メタル配線層219、第二メタル配線層スルー・ホール用層間絶縁膜220、第二メタル配線層221より構成される。

【0020】この構造はメモリセル、周辺回路ともにSOI上に形成されるが、周辺回路のトランジスタが厚いSOIに形成されるため、基板バイアスを印加したり、基板濃度を高めるなどして、より安定なLSI動作が可能である。

【0021】(実施例3)図3ないし図23に、本発明の半導体装置の製造方法を工程に従って示す。

【0022】まず、図3に示すように、第一のp型Si基板301上に窒化シリコン膜302を堆積し、リソグラフィおよびドライエッチングによりパターンニングする。次に、図4に示すように、熱酸化膜303を形成する。その後、図5に示すように、窒化シリコン膜302および熱酸化膜303をウェットエッチングにより除去し、機械的および化学的に表面を平坦に研磨する。

【0023】その後、図6に示すように、第二のp型Si基板304の表面を上記第一のp型Si基板の表面に貼り合わせる。その後、図7に示すように、p型Si基板304を厚さ480nmになるまで機械的および化学的に平坦に研磨することにより、局所的にSOI構造を持つSi基板が形成される。次に、図8に示すように、窒化シリコン膜305を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングし、さらに厚さ800nmの熱酸化306を行う。

【0024】その後、図9に示すように、窒化シリコン膜305と熱酸化膜306をウェットエッチングにより除去する。その後、図10に示すように、窒化シリコン膜307を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。その後、図11に示すように、厚さ200nmの熱酸化308を行う。

【0025】その後、図12に示すように、熱磷酸液により窒化シリコン膜307を除去し、p型Si層面の標高差400nmを有する周辺回路部(X31領域)とメモリセル部(X32領域)を形成する。形成後、X31にイオン注入により高濃度のボロン層を基板内部に形成すると、基板抵抗が下がり安定したLSI動作が可能となる。

【0026】その後、図13に示すように、厚さ数nmのゲート絶縁膜309を形成し、n型に導電化された多結晶シリコン310、タンゲステンシリサイド311、ポリサイド(310および311)加工用マスクにSiO₂層312を堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングすることにより、

周辺回路部ではゲート電極を、メモリセル部ではワード線を形成する。次に、ゲート電極およびワード線をマスクにして、砒素をイオン注入して濃度が $1.0 \times 10^{17} \text{cm}^{-3}$ 以上のn型拡散層313を形成する。

【0027】その後、図14に示すように、SiO₂層を堆積しメモリセル部のみリソグラフィを用いてエッチバックすることにより、ワード線にのみ側壁が形成される。次に、窒化シリコン膜を堆積し、電子線描画およびドライエッチングによりワード線の隙間に自己整合的にビット線および蓄積電極用コンタクト・ホールを形成し、さらに、n型に導電化された多結晶シリコンを堆積しエッチバックすることにより、ビット線および蓄積電極コンタクト用プラグ315を形成する。

【0028】その後、図15に示すように、窒化シリコン膜を堆積し、電子線描画およびドライエッチングによりビット線コンタクト用プラグ上に自己整合的にビット線用コンタクト・ホールを形成し、次に、n型に導電化された多結晶シリコン316、タンゲステンシリサイド317からなるビット線を形成し、その上部と側壁にSiO₂層318を形成し、次に、窒化シリコン膜319を堆積し、電子線描画およびドライエッチングにより、蓄積電極コンタクト用プラグ上に自己整合的にコンタクト・ホールを形成し、さらにn型に導電化された多結晶シリコンを堆積し、エッチバックすることにより、第二の蓄積電極コンタクト用プラグ320を形成する。次にメモリセル部のみ、窒化シリコン膜319を残す。

【0029】その後、図16に示すように、コンタクト用層間膜321を堆積し、電子線描画およびドライエッチングにより、蓄積電極用の溝を形成する。

【0030】その後、図17に示すように、n型に導電化されたアモルファスシリコンあるいは導電化されていない純アモルファスシリコン322を堆積し、次に、SiO₂層323を堆積後エッチバックし蓄積電極用の溝内に上記SiO₂層323を残し、さらに、アモルファスシリコン322をエッチバックする。

【0031】その後、図18に示すように、メモリセル部のSiO₂層321および323をウェットエッチングすることにより、アモルファスシリコン322からなる蓄積電極が形成される。図17で、蓄積電極に導電化されていない純アモルファスシリコン322を用いた場合は、この後、置換プロセスによりアモルファスシリコン部分をタンゲステン化する。次に、酸化窒化シリコン膜または五酸化タンタル(Ta_2O_5)膜からなる蓄積容量誘電体膜324およびTiNまたはタンゲステンからなる蓄積容量プレート電極325を積層し、メモリセル領域内でパターンニングすることにより、積層型の蓄積容量素子が形成される。

【0032】その後、図19に示すように、リソグラフィとドライエッチングにより層間絶縁膜にコンタクト・ホールを形成する。

【0033】その後、図20に示すように、第一メタル配線層326を堆積しリソグラフィとドライエッチングによりパターンニングする。このとき、プレート電極325と第一配線層326は絶縁膜を介さず直接積層された構造となる。その後、図21に示すように、第一および第二メタル配線層間のスルー・ホール用層間絶縁膜327を堆積する。その後、図22に示すように、リソグラフィとドライエッチングにより層間絶縁膜327にスルー・ホールを形成する。その後、図23に示すように、第二メタル配線層328を堆積しリソグラフィとドライエッチングによりパターンニングする。

【0034】上記プロセスにより、実施例1で示した図1に対応する本発明の構造が形成される。

【0035】（実施例4）図24ないし図41に、本発明の他の製造方法の実施例を工程に従って示す。

【0036】まず、図24に示すように、p型Si層401、SiO₂層402、厚さ480nmのp型Si層403が積層したSOI基板を製造する。次に、図25に示すように、窒化シリコン膜404を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。さらに、図26に示すように、厚さ800nmの熱酸化405を行う。

【0037】その後、図27に示すように、窒化シリコン膜404と熱酸化膜405をウエットエッチングにより除去する。その後、図28に示すように、窒化シリコン膜406を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。その後、図29に示すように、厚さ200nmの熱酸化407を行う。

【0038】その後、図30に示すように、熱磷酸液により窒化シリコン膜406を除去し、p型Si層面の標高差400nmを有する周辺回路部（X41領域）とメモリセル部（X42領域）を形成する。形成後、X31にイオン注入により高濃度のホロン層を基板内部に形成すると、基板抵抗が下がり安定したLSI動作が可能となる。

【0039】その後、図31に示すように、厚さ数nmのゲート絶縁膜308を形成し、n型に導電化された多結晶シリコン409、タングステンシリサイド410、ポリサイド（409および410）加工用マスクにSiO₂層411を堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングすることにより、周辺回路部ではゲート電極を、メモリセル部ではワード線を形成する。次に、ゲート電極およびワード線をマスクにして、砒素をイオン注入して濃度が1.0×10¹⁷cm⁻³以上のn型拡散層412を形成する。

【0040】その後、図32に示すように、SiO₂層を堆積しメモリセル部のみリソグラフィを用いてエッチバックすることにより、ワード線にのみ側壁が形成される。次に、窒化シリコン膜を堆積し、電子線描画および

ドライエッチングによりワード線の隙間に自己整合的にビット線および蓄積電極用コンタクト・ホールを形成し、さらに、n型に導電化された多結晶シリコンを堆積しエッチバックすることにより、ビット線および蓄積電極コンタクト用プラグ414を形成する。

【0041】その後、図33に示すように、窒化シリコン膜を堆積し、電子線描画およびドライエッチングによりビット線コンタクト用プラグ上に自己整合的にビット線用コンタクト・ホールを形成し、次に、n型に導電化された多結晶シリコン415、タングステン・ポリサイド416からなるビット線を形成し、その上部と側壁にSiO₂層417を形成し、次に、窒化シリコン膜418を堆積し、電子線描画およびドライエッチングにより、蓄積電極コンタクト用プラグ上に自己整合的にコンタクト・ホールを形成し、さらにn型に導電化された多結晶シリコンを堆積し、エッチバックすることにより、第二の蓄積電極コンタクト用プラグ419を形成する。次にメモリセル部のみ、窒化シリコン膜418を残す。

【0042】その後、図34に示すように、コンタクト用層間膜420を堆積し、電子線描画およびドライエッチングにより、蓄積電極用の溝を形成する。

【0043】その後、図35に示すように、n型に導電化されたアモルファスシリコンあるいは導電化されていない純アモルファスシリコン421を堆積し、次に、SiO₂層422を堆積後エッチバックし蓄積電極用の溝内に上記SiO₂層422を残し、さらに、アモルファスシリコン421をエッチバックする。

【0044】その後、図36に示すように、メモリセル部のSiO₂層420および422をウエットエッチングすることにより、アモルファスシリコン421からなる蓄積電極が形成される。図35で、蓄積電極に導電化されていない純アモルファスシリコン421を用いた場合は、この後、置換プロセスによりアモルファスシリコン部分をタンゲステン化する。次に、酸化窒化シリコン膜または五酸化タングステン（Ta₂O₅）膜からなる蓄積容量誘電体膜423およびTiNまたはタンゲステンからなる蓄積容量プレート電極424を積層し、メモリセル領域内でパターンニングすることにより、積層型の蓄積容量素子が形成される。

【0045】その後、図37に示すように、リソグラフィとドライエッチングにより層間絶縁膜にコンタクト・ホールを形成する。その後、図38に示すように、第一メタル配線層425を堆積しリソグラフィとドライエッチングによりパターンニングする。このとき、プレート電極424と第一配線層425は絶縁膜を介さず直接積層された構造となる。

【0046】その後、図39に示すように、第一および第二メタル配線層間のスルー・ホール用層間絶縁膜426を堆積する。その後、図40に示すように、リソグラフィとドライエッチングにより層間絶縁膜426にスルー

・ナールを形成する。その後、図4-1に示すように、第二金属配線層4-27を堆積しリソグラフィとドライエッチングによりパターンニングする。

【0047】以上のプロセスにより、実施例2で示した図2に対応する本発明の構造が形成される。

【0048】（実施例5）図4-2ないし図4-5に、本発明の他の製造方法の断面構造を示す。まず、図4-2に示すように、p型S₁層4-01、S₁O₂層4-02、厚さ30nmのp型S₁層4-03が積層したSOI基板を製造する。次に、図4-3に示すように、S₁O₂層5-04を表面に堆積し、リソグラフィとドライエッチングにより所定の形状にパターンニングする。その後、図4-4に示すように、厚さ480nmのS₁エピタキシャル層5-05をS₁O₂層5-04をマスクにして選択的に形成する。その後、S₁O₂層5-04を除去することによって、図4-5に示すような断面構造が形成される。この後は、実施例4のプロセス（図2-4ないし図4-1）を実施することにより、実施例2で示した図2に対応する本発明の構造が形成される。

【0049】

【発明の効果】積層容量型メモリセルと周辺回路の標高を低減することができるため両領域とも高精度で微細なパターンを形成する露光装置の焦点深度内に納めることができる。

【0050】また、メモリセル領域内のみ薄膜SOI構造とすることにより、周辺回路には高耐圧な絶縁ゲート・トランジスタを有し、さらに、低消費電力化に有利なメモリセルを有する半導体記憶装置を容易に作成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第一の実施例の半導体装置を示す断面図。

【図2】本発明の第二の実施例の半導体装置を示す断面図。

【図3】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図4】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図5】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図6】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図7】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図8】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図9】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図10】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図11】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図12】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図13】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図14】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図15】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図16】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図17】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図18】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図19】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図20】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図21】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図22】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図23】本発明の第一の実施例の半導体装置の製造工程を示す断面図。

【図24】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図25】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図26】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図27】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図28】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図29】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図30】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図31】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図32】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図33】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図34】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図35】本発明の第二の実施例の半導体装置の製造工程を示す断面図。

【図36】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図37】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図38】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図39】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図40】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図41】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図42】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図43】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【図44】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

程を示す断面図。

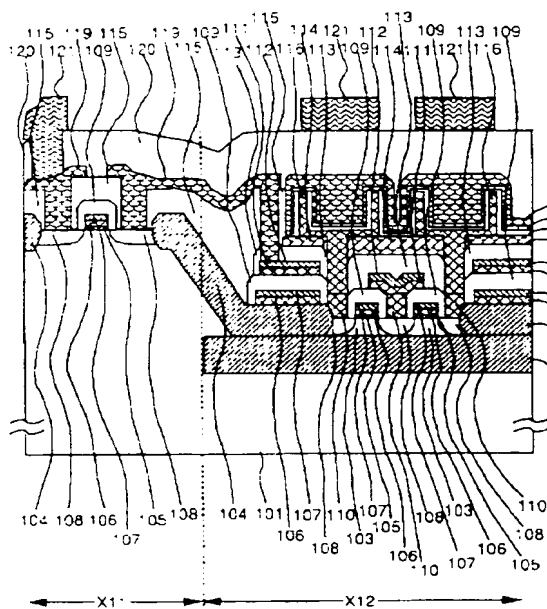
【図45】本発明の第三の実施例の半導体装置の製造工程を示す断面図。

【符号の説明】

101…p型Si基板、102…SOI用SiO₂、103…p型Si層、104…素子分離用SiO₂、105…ゲート絶縁膜、106…n型多結晶シリコン、107…タングスタシリサイド、108…高濃度のn型不純物領域、109…ゲート電極およびワード線用絶縁保護膜、110…n型多結晶シリコン、111…n型多結晶シリコン、112…タングスタシリサイド、113…ゲート線用絶縁保護膜、114…窒化シリコン膜、115…SiO₂、116…n型多結晶シリコンあるいはタングスタ、117…誘電体膜、118…TiNあるいはタングスタ、119…第一メタル配線層、120…SiO₂、121…第二メタル配線層。

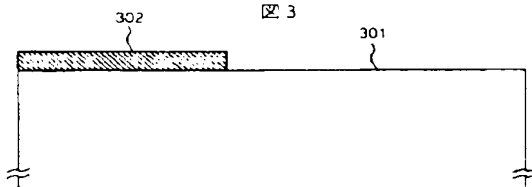
【図1】

図1



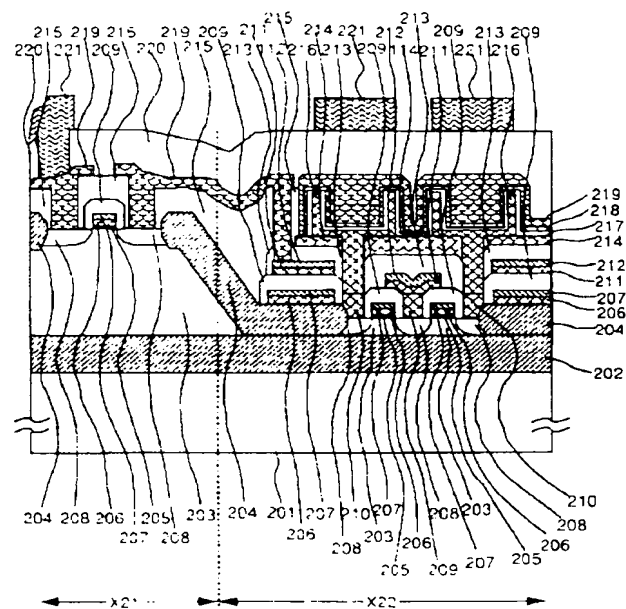
【図3】

図3



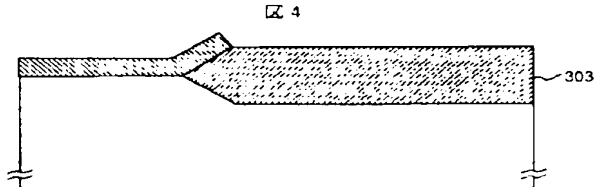
【図2】

図2



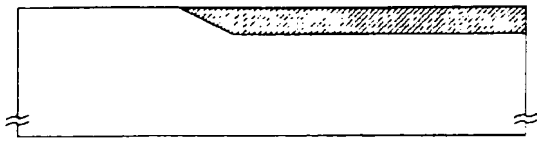
【図4】

図4



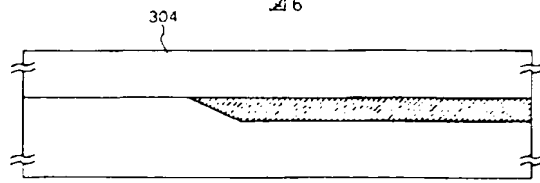
【図 5】

図 5



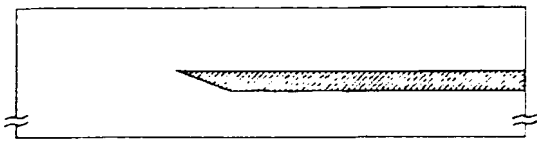
【図 6】

図 6



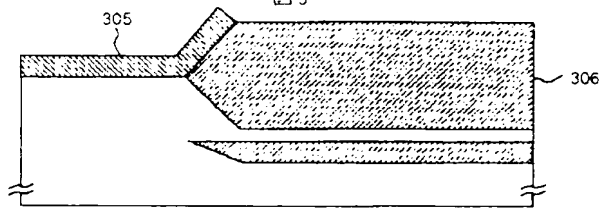
【図 7】

図 7



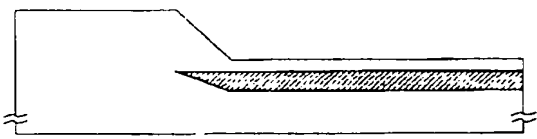
【図 8】

図 8



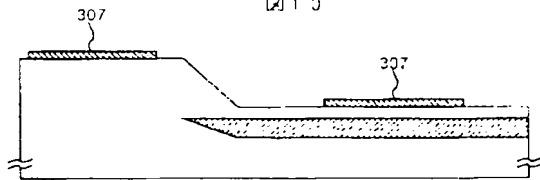
【図 9】

図 9



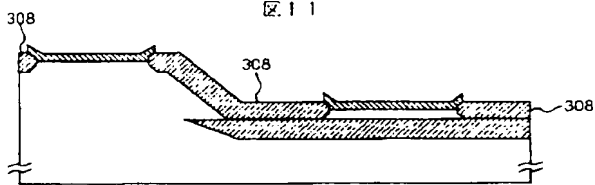
【図 10】

図 10



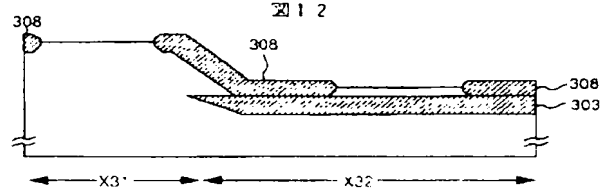
【図 11】

図 11



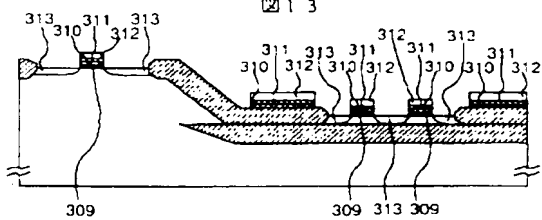
【図 12】

図 12



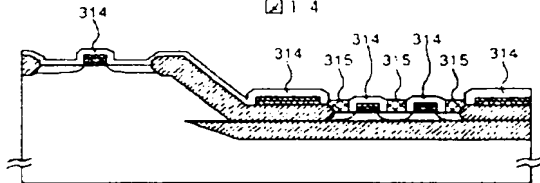
【図 13】

図 13

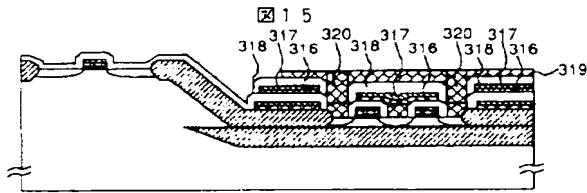


【図 14】

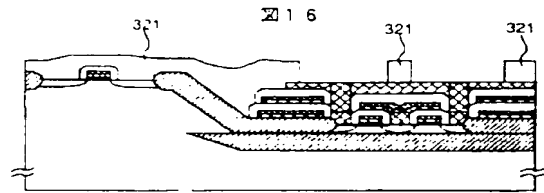
図 14



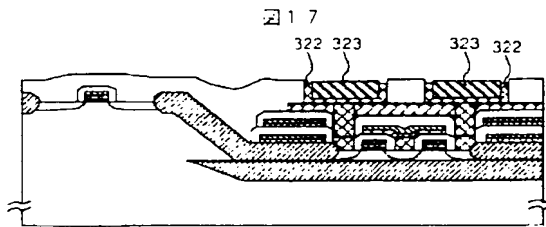
【図15】



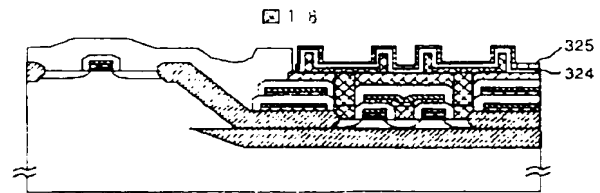
【図16】



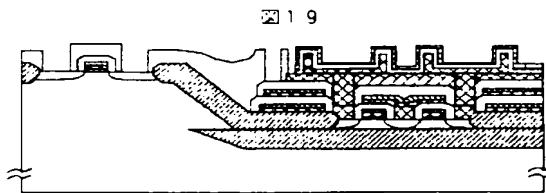
【図17】



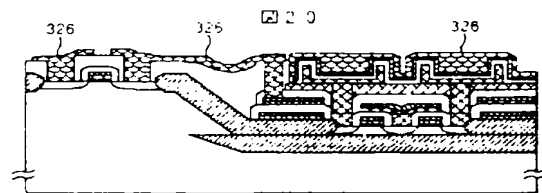
【図18】



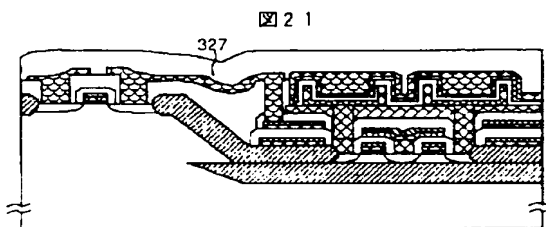
【図19】



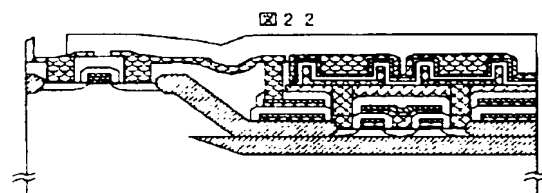
【図20】



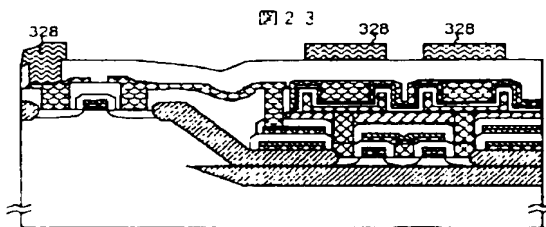
【図21】



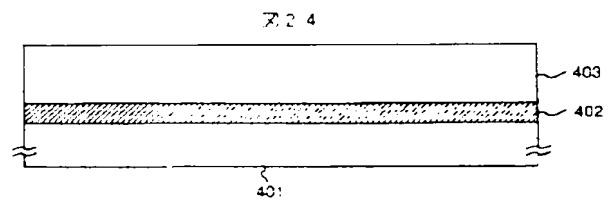
【図22】



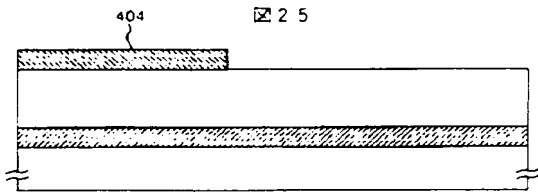
【図23】



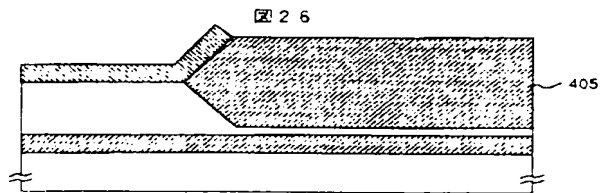
【図24】



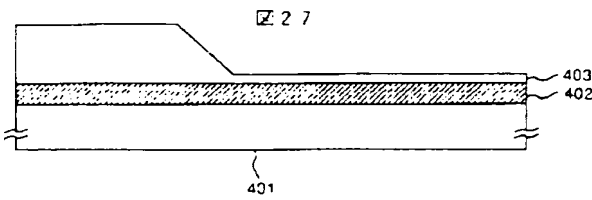
【図 25】



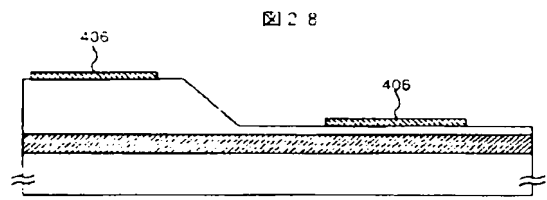
【図 26】



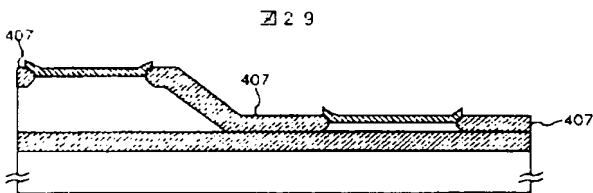
【図 27】



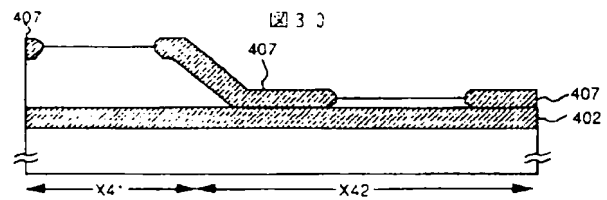
【図 28】



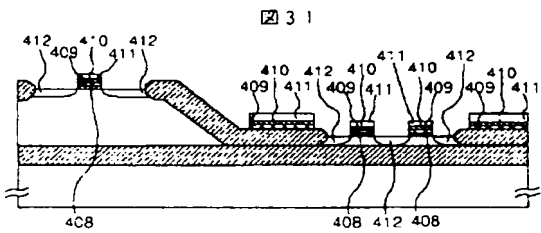
【図 29】



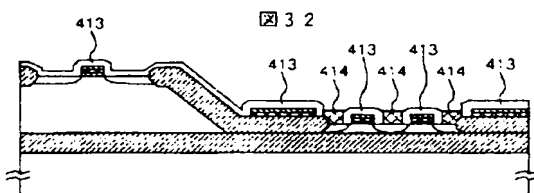
【図 30】



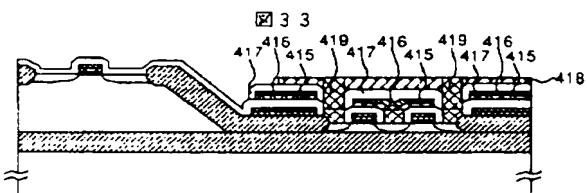
【図 31】



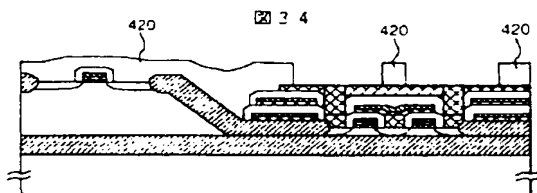
【図 32】



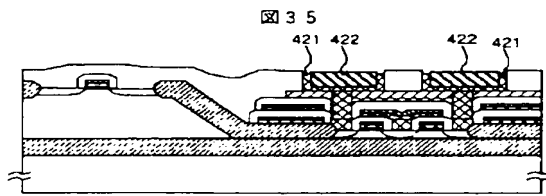
【図 33】



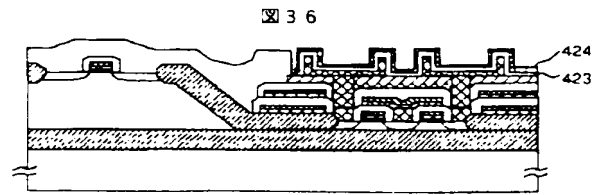
【図 34】



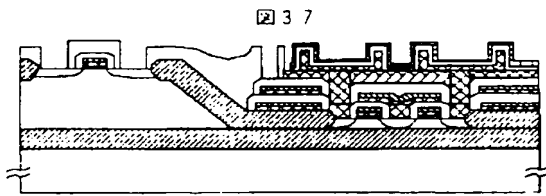
【図 3 5】



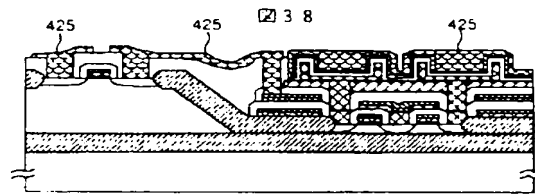
【図 3 6】



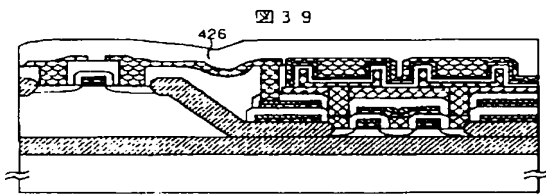
【図 3 7】



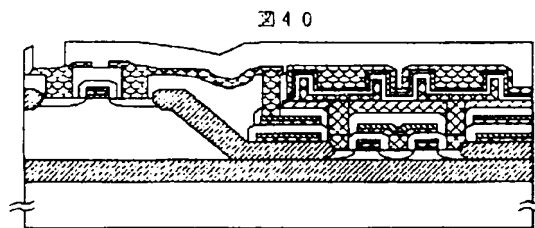
【図 3 8】



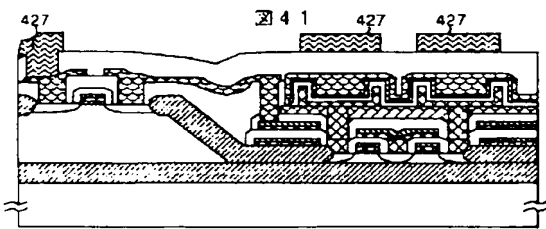
【図 3 9】



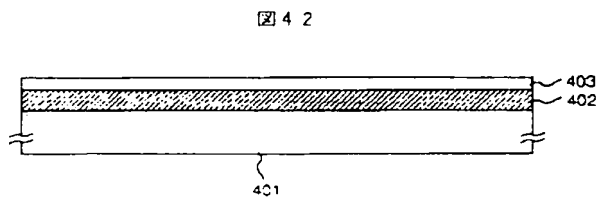
【図 4 0】



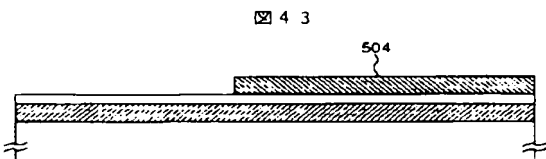
【図 4 1】



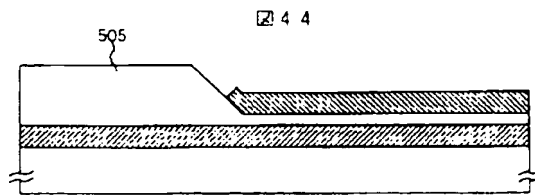
【図 4 2】



【図 4 3】

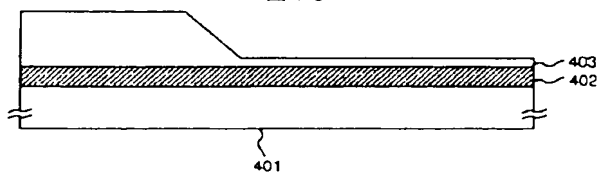


【図 4 4】



【図 45】

図 45



フロントページの続き

(51) Int. Cl. 6

識別記号

序内整理番号

F I

H O 1 L 29/78

技術表示箇所

6 1 3 B